

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-235193

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl.<sup>6</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
G 1 1 C 16/06  
29/00 3 0 3 B 6866-5L  
H 0 1 L 29/78

G 1 1 C 17/00 5 1 0 F  
3 0 9 E

審査請求 未請求 請求項の数 7 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願平6-198841

(22) 出願日 平成6年(1994)8月23日

(31) 優先権主張番号 特願平5-354215

(32) 優先日 平5(1993)12月28日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 作井 康司

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 中村 寛

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(72) 発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦

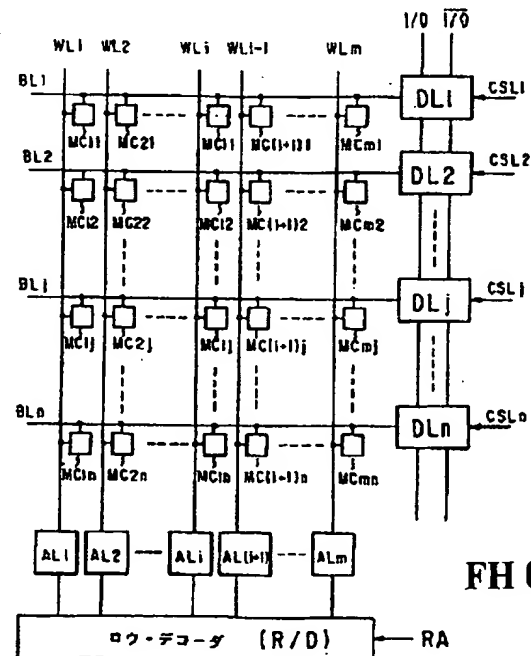
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 1 ページ分のデータを複数本の制御ゲートに  
同時コピー可能とした半導体記憶装置を提供すること。

【構成】 複数本のビット線BLと複数本のワード線W  
Lとの交差部に配設されたメモリセルMCと、ワード線  
WLにより選択されたメモリセルMCにビット線BLを  
介してデータを書き込むデータラッチ回路DLと、ワ  
ード線WLを選択するためのアドレスを一時記憶するア  
ドレスデータラッチ回路ALとを備えた半導体記憶装置  
において、データラッチ回路DLに記憶されたデータをビ  
ット線BLを介してメモリセルMCに書き込む際の特  
殊モードとして、アドレスデータラッチ回路ALに記憶  
されたアドレスに応じて少なくとも2本のワード線WL  
を選択し、該選択したワード線WLに接続されたメモリ  
セルMCに、データラッチ回路DLに記憶されたデータを  
同時に書き込むモードを有することを特徴とする。



FH 008914

## 【特許請求の範囲】

【請求項1】複数本のビット線と、これらのビット線と交差して配設された複数本のワード線と、前記ビット線とワード線との交差位置にそれぞれ配置されワード線により駆動されてビット線との間でデータのやり取りを行うメモリセルと、前記ワード線により選択されたメモリセルに前記ビット線を介して書き込むデータを記憶するデータラッチ回路と、前記ワード線を選択するためのアドレスを一時記憶するアドレスデータラッチ回路とを備えた半導体記憶装置であって、

前記データラッチ回路に記憶されたデータを前記ビット線を介して前記メモリセルに書き込む際モードとして、

前記アドレスデータラッチ回路に記憶されたアドレスに応じて1本のワード線を選択し、該選択したワード線に接続されたメモリセルに、前記データラッチ回路に記憶されたデータを書き込む通常モードと、

前記アドレスデータラッチ回路に記憶されたアドレスに応じて少なくとも2本のワード線を選択し、該選択したワード線に接続されたメモリセルに、前記データラッチ回路に記憶されたデータを同時に書き込む特殊モードとを有することを特徴とする半導体記憶装置。

【請求項2】複数本のビット線と、これらのビット線と交差して配設された複数本の制御ゲート線と、これらの制御ゲート線により駆動されるメモリセルを複数個直列接続してなりその一端が前記ビット線に接続されたNANDセルと、前記制御ゲート線により駆動されたメモリセルに前記ビット線を介して書き込むデータを記憶するデータラッチ回路と、同一NAND列の制御ゲート線を順次駆動する選択ゲートドライバと、前記NAND列を選択するためのアドレスを一時記憶するブロックアドレスデータラッチ回路とを具備した半導体記憶装置であって、

前記データラッチ回路に記憶されたデータを前記ビット線を介して前記NANDセルに書き込む際モードとして、

前記ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて1つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるNANDセルに、前記データラッチ回路に記憶されたデータを書き込む通常モードと、

前記ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて少なくとも2つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるNANDセルに、前記データラッチ回路に記憶されたデータを同時に書き込む特殊モードとを有することを特徴とする半導体記憶装置。

【請求項3】複数本のビット線と、これらのビット線と交差して配設された複数本の制御ゲート線と、これらの制御ゲート線により駆動されるメモリセルを複数個並列

接続してなりその一端が前記ビット線に接続されたANDセル若しくはDINORセルと、前記制御ゲート線により駆動されたメモリセルに前記ビット線を介して書き込むデータを記憶するデータラッチ回路と、同一AND列若しくはDINOR列の制御ゲート線を順次駆動する選択ゲートドライバと、前記AND列若しくはDINOR列を選択するためのアドレスを一時記憶するブロックアドレスデータラッチ回路とを具備した半導体記憶装置であって、

10 前記データラッチ回路に記憶されたデータを前記ビット線を介して前記ANDセル若しくはDINORセルに書き込む際モードとして、

前記ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて1つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるANDセル若しくはDINORセルに、前記データラッチ回路に記憶されたデータを書き込む通常モードと、

20 前記ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて少なくとも2つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるANDセル若しくはDINORセルに、前記データラッチ回路に記憶されたデータを同時に書き込む特殊モードとを有することを特徴とする半導体記憶装置。

【請求項4】複数本のビット線と、これらのビット線と交差して配設された複数本の制御ゲート線と、これらの制御ゲート線により駆動されるメモリセルを複数個直列接続してなりその一端が前記ビット線に接続されたNANDセルと、前記制御ゲート線により駆動されたメモリセルに前記ビット線を介して書き込むデータを記憶するデータラッチ回路と、同一NAND列の制御ゲート線を順次駆動する選択ゲートドライバとを具備した半導体記憶装置であって、

前記データラッチ回路に記憶されたデータを前記ビット線を介して前記NANDセルに書き込む際、

前記同一NAND列の制御ゲート線が任意に選択され、前記選択された制御ゲート線により駆動される複数個のメモリセルに前記データラッチ回路に記憶されたデータを同時に書き込むことを特徴とする半導体記憶装置。

【請求項5】複数本のビット線と、これらのビット線と交差して配設された複数本の制御ゲート線と、これらの制御ゲート線により駆動されるメモリセルを複数個直列接続してなりその一端が前記ビット線に接続されたNANDセルと、前記制御ゲート線により駆動されたメモリセルに前記ビット線を介して書き込むデータを記憶するデータラッチ回路と、同一NAND列の制御ゲート線を順次駆動する選択ゲートドライバと、前記NAND列を選択するためのアドレスを一時記憶するブロックアドレスデータラッチ回路とを具備した半導体記憶装置であって、

3

前記データラッチ回路に記憶されたデータを前記ビット線を介して前記NANDセルに書き込む際モードとして、

前記ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて1つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるNANDセルに、前記データラッチ回路に記憶されたデータを書き込む通常モードと、

前記ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて少なくとも2つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるNANDセルに、前記データラッチ回路に記憶されたデータを同時に書き込む特殊モードとを有し、

前記通常モードと特殊モードとの少なくとも一方において、前記同一NAND列の制御ゲート線を任意に選択することを特徴とする半導体記憶装置。

【請求項6】前記データラッチ回路は、前記ワード線又は制御ゲート線により選択され、前記ビット線に読み出されたメモリセルのデータを検出するビット線センスアンプの機能と、

前記データラッチ回路に記憶されたデータを前記ビット線を介して前記メモリセルに書き込んだ後に、前記メモリセルに所望のデータが十分に書き込まれた否かを確認読み出しする回路の機能とを備えており、

前記データラッチ回路に記憶されたデータを前記ビット線を介して、前記メモリセルに書き込む際に、前記アドレスデータラッチ回路に記憶されたアドレス又は前記ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて選択された少なくとも2本以上の前記ワード線又は制御ゲート線を、前記メモリセルに所望のデータが十分に書き込まれたか否かを確認読み出しする際に再度選択することを特徴とする請求項1～3のいずれかに記載の半導体記憶装置。

【請求項7】前記メモリセルは、半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受によりデータを記憶する電氣的書替え可能な不揮発性メモリセルであることを特徴とする請求項1～5のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に係わり、特に複数組のメモリセルに1頁分のデータを同時コピーする機能を備えた半導体記憶装置に関する。

【0002】

【従来の技術】近年、コンピュータシステムの記憶装置として、電氣的に書き込み、消去が可能な不揮発性半導体記憶装置（EEPROM）が用いられている。このEEPROMの一つとして、高集積化に優れたNANDセル型EEPROMが知られている。これは、複数のメモ

4

リセルをそれらのソース、ドレインを隣接するもの同士で共有する形で直列接続し、これら複数のメモリセルを1単位としてビット線に接続するものである。

【0003】また、1992年IEDM（International Electron Device Meeting、国際電子デバイス会議）で大容量化をはかったNOR型EEPROMとして、日立製作所から図11に示すAND型EEPROM（H. Ku me, 他, "A 1.28  $\mu\text{m}^2$  Contactless Memory Cell Technology for a 3V-Only 64Mbit EEPROM," 1992 IEDM Tech. Dig., pp991-993）の発表と、三菱電機から図12に示すDINOR型EEPROM（H. Onoda, 他, "A novel Cell Structure suitable for a 3 Volt Operation, Sector Erase Flash Memory," 1992 IEDM Tech. Dig., pp599-602）の発表がある。

【0004】これらのDINOR型EEPROMとAND型EEPROMは、メモリセルを複数個並列接続したメモリセルユニットに対し、1つ若しくは2つの選択ゲートを設けて高集積化をはかっている。

【0005】前記メモリセルは通常、電荷蓄積層（浮遊ゲート）と制御ゲートが積層されたFET-MOS構造を有する。メモリセルアレイは、p型基板に集積形成されるか、p型基板に形成されたn型ウェル内のp型ウェル内に集積形成されるか、又はn型基板に形成されたp型ウェル内に集積形成される。NANDセル型EEPROMのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介してソース線（基準電位配線）に接続される。メモリセルの制御ゲートは、行方向に連続的に接続されてワード線となる。

【0006】通常、同一ワード線につながるメモリセルの集合を1ページと呼び、1組のドレイン側及びソース側の選択ゲートに挟まれたページの集合を1NANDブロック又は単に1ブロックと呼ぶ。そして、この1ブロックは独立に消去可能な最小単位となる。

【0007】NANDセル型EEPROMの動作は次の通りである。但し、この動作はn型基板に形成されたp型ウェル内にメモリセルアレイが集積形成されたものを前提とする。データの消去は、1NANDブロック内のメモリセルに対して同時に行われる。即ち、選択されたNANDブロックの全ての制御ゲートを基準電位 $V_{ss}$ とし、p型ウェル及びn型基板に高電圧 $V_{pp}$ （例えば20V）を印加する。これにより、全てのメモリセルにおいて浮遊ゲートから基板に電子が放出され、しきい値は負の方向にシフトする。通常、この状態を“1”状態と定義する。また、チップ消去は全NANDブロックを選択状態にすることによりなされる。

【0008】データの書き込み動作は、ビット線から最も離れた位置のメモリセルから順に行われる。NANDブロック内の選択された制御ゲートには高電圧 $V_{pp}$ （例えば20V）を印加し、他の非選択ゲートには中間電位 $V_m$ （例えば10V）を与える。また、ビット線に

5

はデータに応じて、 $V_{ss}$ 又は $V_m$ を与える。ビット線に $V_{ss}$ が与えられたとき(“0”書き込み)、その電位は選択メモリセルに伝達され、浮遊ゲートに電子注入が生ずる。これにより、その選択メモリセルのしきい値は正方向にシフトする。通常、この状態を“0”状態と定義する。ビット線に $V_m$ が与えられた(“1”書き込み)メモリセルには電子注入は起こらず、従ってしきい値は変化せず負に留まる。

【0009】また、データの書き込み動作においては、データラッチ回路に記憶されている1ページ分のデータ、例えば256バイトのデータを、ある制御ゲート線が選択されると、その制御ゲート線に接続するメモリセルに一括に書き込むことができる。

【0010】ところで、NANDセル型EEPROMを使用するユーザ側から見ると、メモリに記憶されたデータの管理上、1組のページデータを複数本の制御ゲート線に書き込む機能、即ち多重選択コピー機能は重要である。それは、メモリセルアレイの中で、ある特定のデータのかたまりを移動し、メモリセルアレイの中のデータを整理する作業はひんばんに行われるためである。

【0011】しかし、従来のNANDセル型EEPROMでは、前述のように1回の書き込み動作では、データラッチ回路に記憶されている1ページ分のデータを1本の選択された制御ゲート線に関するメモリセルにしか書き込めない。このため、複数本組のメモリセルに同一データを書き込むには、複数回の書き込み動作が必要となり、多大な時間がかかる。

【0012】また、このような大容量のNANDセル型EEPROMを出荷前にメーカで、出荷後にユーザで試験動作させる際に、種々のパターンデータの書き込み、読み出し、消去が繰り返される。中でも最も良く使われるテストパターンが、チェックボードパターン等の連続的パターンである。そのような、連続的パターンデータを書き込む際にも、1本の制御ゲート線毎に書き込んでいたため、メモリの試験動作に多大な時間がかかっていた。このテスト時間は、メモリを大容量化するほど増大していくため、大容量メモリではテストにかかるコストが問題となっていた。

【0013】上記の問題は、ANDセル型EEPROM、DINORセル型EEPROM等の大容量メモリにおいても共通である。

【0014】

【発明が解決しようとする課題】このように従来、大容量の半導体記憶装置、特に大容量フラッシュメモリにおいては、メモリセルアレイ内のデータの管理やテストメモリの動作試験のために、1ページ分のデータを複数組のメモリセルに書き込む動作を順次繰り返す必要があり、多大な時間が掛かるという問題があった。

【0015】本発明は、上記事情を考慮してなされたもので、その目的とするところは、1ページ分のデータを

6

複数本の制御ゲートに同時コピー可能とした半導体記憶装置を提供することにある。

【0016】

【課題を解決するための手段】上記課題を解決するために本発明は、次のような構成を採用している。

【0017】即ち、本発明(請求項1)は、複数本のビット線と、これらのビット線と交差して配設された複数本のワード線と、ビット線とワード線との交差位置にそれぞれ配置されワード線により駆動されてビット線との間でデータのやり取りを行うメモリセルと、ワード線により選択されたメモリセルにビット線を介して書き込むデータを記憶するデータラッチ回路と、ワード線を選択するためのアドレスを一時記憶するアドレスデータラッチ回路とを備えた半導体記憶装置であって、データラッチ回路に記憶されたデータをビット線を介してメモリセルに書き込む際のモードとして、アドレスデータラッチ回路に記憶されたアドレスに応じて1本のワード線を選択し、該選択したワード線に接続されたメモリセルに、データラッチ回路に記憶されたデータを書き込む通常モードと、アドレスデータラッチ回路に記憶されたアドレスに応じて少なくとも2本のワード線を選択し、該選択したワード線に接続されたメモリセルに、データラッチ回路に記憶されたデータを同時に書き込む特殊モードとを有することを特徴とする。

【0018】また、本発明(請求項2)は、複数本のビット線と、これらのビット線と交差して配設された複数本の制御ゲート線と、これらの制御ゲート線により駆動されるメモリセルを複数個直列接続してなりその一端がビット線に接続されたNANDセルと、制御ゲート線により駆動されたメモリセルにビット線を介して書き込むデータを記憶するデータラッチ回路と、同一NAND列の制御ゲート線を順次駆動する選択ゲートドライバと、NAND列を選択するためのアドレスを一時記憶するブロックアドレスデータラッチ回路とを具備した半導体記憶装置であって、データラッチ回路に記憶されたデータをビット線を介してNANDセルに書き込む際のモードとして、ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて1つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるNANDセルに、データラッチ回路に記憶されたデータを書き込む通常モードと、ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて少なくとも2つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるNANDセルに、データラッチ回路に記憶されたデータを同時に書き込む特殊モードとを有することを特徴とする。

【0019】また、本発明(請求項3)は、複数本のビット線と、これらのビット線と交差して配設された複数本の制御ゲート線と、これらの制御ゲート線により駆動

FH 008917

7  
されるメモリセルを複数個並列接続してなりその一端がビット線に接続されたANDセル若しくはDINORセルと、制御ゲート線により駆動されたメモリセルにビット線を介して書き込むデータを記憶するデータラッチ回路と、同一AND列若しくはDINOR列の制御ゲート線を順次駆動する選択ゲートドライバと、AND列若しくはDINOR列を選択するためのアドレスを一時記憶するブロックアドレスデータラッチ回路とを具備した半導体記憶装置であって、データラッチ回路に記憶されたデータをビット線を介してANDセル若しくはDINORセルに書き込む際モードとして、ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて1つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるANDセル若しくはDINORセルに、データラッチ回路に記憶されたデータを書き込む通常モードと、ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて少なくとも2つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるANDセル若しくはDINORセルに、データラッチ回路に記憶されたデータを同時に書き込む特殊モードとを有することを特徴とする。

【0020】また、本発明（請求項4）は、複数本のビット線と、これらのビット線と交差して配設された複数本の制御ゲート線と、これらの制御ゲート線により駆動されるメモリセルを複数個直列接続してなりその一端がビット線に接続されたNANDセルと、制御ゲート線により駆動されたメモリセルにビット線を介して書き込むデータを記憶するデータラッチ回路と、同一NAND列の制御ゲート線を駆動する選択ゲートドライバとを具備した半導体記憶装置であって、データラッチ回路に記憶されたデータをビット線を介してNANDセルに書き込む際に、同一NAND列の制御ゲート線が任意に選択され、選択された制御ゲート線により駆動される複数個のメモリセルにデータラッチ回路に記憶されたデータを同時に書き込むことを特徴とする。

【0021】また、本発明（請求項5）は、複数本のビット線と、これらのビット線と交差して配設された複数本の制御ゲート線と、これらの制御ゲート線により駆動されるメモリセルを複数個直列接続してなりその一端がビット線に接続されたNANDセルと、制御ゲート線により駆動されたメモリセルにビット線を介して書き込むデータを記憶するデータラッチ回路と、同一NAND列の制御ゲート線を駆動する選択ゲートドライバと、NAND列を選択するためのアドレスを一時記憶するブロックアドレスデータラッチ回路とを具備した半導体記憶装置であって、データラッチ回路に記憶されたデータをビット線を介してNANDセルに書き込む際モードとして、ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて1つの選択ゲートドライバを選

8  
択し、該選択したゲートドライバにより制御ゲート線が駆動されるNANDセルに、データラッチ回路に記憶されたデータを書き込む通常モードと、ブロックアドレスデータラッチ回路に記憶されたブロックアドレスに応じて少なくとも2つの選択ゲートドライバを選択し、該選択したゲートドライバにより制御ゲート線が駆動されるNANDセルに、データラッチ回路に記憶されたデータを同時に書き込む特殊モードとを有し、通常モードと特殊モードとの少なくとも一方において、同一NAND列の制御ゲート線を任意に選択することを特徴とする。

【0022】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

【0023】(1) データラッチ回路は、ワード線又は制御ゲート線により選択され、ビット線に読み出されたメモリセルのデータを検出するビット線センスアンプの機能と、データラッチ回路に記憶されたデータをビット線を介してメモリセルに書き込んだ後に、メモリセルに所望のデータが十分に書き込まれた否かを確認読み出しする回路の機能とを備えており、データラッチ回路に記憶されたデータをビット線を介してメモリセルに書き込む際に、アドレスデータラッチ回路に記憶されたアドレスに応じて選択された少なくとも2本以上のワード線又は制御ゲート線を、メモリセルに所望のデータが十分に書き込まれたか否かを確認読み出しする際に再度選択すること。

【0024】(2) メモリセルは、半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受によりデータを記憶する電気的書替え可能な不揮発性メモリセルであること。

【0025】

【作用】本発明によれば、ロウ・デコーダに付加されたアドレスデータラッチ回路（又はブロックアドレスデータラッチ回路）と1ページ分のデータを記憶するビット線に付加されたデータラッチ回路と、それらの動作を制御する周辺回路によって、メモリセルにデータラッチ回路のデータを書き込む際に、1回の書き込み動作で複数本のワード線（又は制御ゲート線）が同時に多重選択され、同一ページデータがそれらのワード線（又は制御ゲート線）に関わるメモリセルに同時にコピーされる。これにより、メモリセルアレイ内のデータの管理、即ちコピーして移動させることを短時間で行うことができる。さらに、メモリチップをテストする際にも連続的なテストパターンを短時間で容易に書き込むことができるため、テストに必要なコストを大幅に削減することが可能となり、ビットコストの低減につながる。

【0026】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0027】（実施例1）図1は、本発明の第1の実施例に係わる半導体記憶装置のメモリセルアレイ及び周辺

回路の構成を示すブロック図である。

【0028】複数本のビット線BL (BL1, BL2, ..., BLj, ..., BLn) と複数本のワード線WL (WL1, WL2, ..., WL1, WL<sub>i+1</sub>, ..., WL<sub>n</sub>) とが互いに直交する方向に配置され、ビット線BLとワード線WLの交差部には書き替え可能なメモリセルMC (MC11, MC12, ..., MC<sub>mn</sub>) がそれぞれ配置されている。ビット線BLにはデータラッチ回路DL (DL1, DL2, ..., DLj, ..., DL<sub>n</sub>) が接続され、ワード線WLにはアドレスラッチ及びワード線ドライバ回路AL (AL1, AL2, ..., AL<sub>i</sub>, AL<sub>i+1</sub>, ..., AL<sub>n</sub>) が接続されている。そして、アドレスラッチ及びワード線ドライバ回路ALは、ロウ・デコーダR/Dにより選択されるものとなっている。なお、図中のRAはロウアドレス、CSL (CSL1, CSL2, ..., CSLj, ..., CSL<sub>n</sub>) はカラム選択線、I/O、/I/Oは入出力線を示している。

【0029】通常の書き込みモードは従来の技術に述べた動作と同様であるのでここでは省略し、以下に1ページ分のデータを複数本のワード線に同時コピーする特殊書き込みモードについて説明する。

【0030】図2は、ワード線多重選択書き込み時の主要信号波形タイミング図である。ワード線多重選択用ロウアドレスがメモリチップ内に取り込まれると、ロウ・デコーダ回路R/Dにより、アドレスラッチ及びワード線ドライバ回路ALに順次記憶されていく。その後、書き込み動作が始まると、アドレスラッチ及びワード線ドライバ回路ALに記憶されているロウアドレスに従ってワード線WLが選択される。例えば、ワード線多重選択用ロウアドレスとして、RA2, RA<sub>i</sub>, RA<sub>n</sub>の3種のアドレスがロウ・デコーダ回路R/Dを介してアドレスラッチ及びワード線ドライバ回路ALに取り込まれると、書き込み時に3本のワード線WL2, WL<sub>i</sub>, WL<sub>n</sub>が選択される。

【0031】データラッチ回路DL1~DL<sub>n</sub>には、ワード線選択以前若しくはワード線選択後、入出力線I/O、/I/Oからデータが入力されている。

【0032】データラッチ回路DL1~DL<sub>n</sub>の記憶データはビット線BL1~BL<sub>n</sub>に伝達されており、ワード線WL2, WL<sub>i</sub>, WL<sub>n</sub>が選択されている場合、ビット線BL1~BL<sub>n</sub>のデータがメモリセルMC21~MC2<sub>n</sub>, MC11~MC1<sub>n</sub>, MC<sub>m1</sub>~MC<sub>m</sub><sub>n</sub>に同時に記憶される。

【0033】また、データラッチ回路DL1~DL<sub>n</sub>は、入出力線I/O、/I/Oから入力されるデータだけでなく、ビット線BL1~BL<sub>n</sub>の読み出しデータが入力されても本発明は有効である。例えば、読み出しサイクルで、ワード線WL1が選択され、メモリセルMC11~MC1<sub>n</sub>の記憶データが、ビット線BL1~BL<sub>n</sub>にそれぞれ読み出されている時、そのビット線BL1~B

L<sub>n</sub>のデータが、データラッチ回路DL1~DL<sub>n</sub>にそれぞれ記憶される。その後、書き込みサイクルで、ワード線WL2, WL<sub>i</sub>, WL<sub>n</sub>が選択されると、データラッチ回路DL1~DL<sub>n</sub>に記憶されているデータが、メモリセルMC21~MC2<sub>n</sub>, MC11~MC1<sub>n</sub>, MC<sub>m1</sub>~MC<sub>m</sub><sub>n</sub>に同時に記憶される。

【0034】即ち、ワード線WL1で選択される1ページ分のメモリセルのデータが、データラッチ回路DL1~DL<sub>n</sub>に記憶されている場合、書き込みサイクルで、例えばワード線WL2, WL<sub>i</sub>, WL<sub>n</sub>が多重選択されると、ワード線WL1で選択される1ページ分のメモリセルのデータが、データラッチ回路を介して同時に、ワード線WL2, WL<sub>i</sub>, WL<sub>n</sub>にコピーされる。

【0035】以上までの説明においては、メモリセルとしては書き換え可能なものは全て含まれる。即ち、DRAM (ダイナミック・ランダム・アクセス・メモリ)、SRAM (スタティック・ランダム・アクセス・メモリ) のメモリセル、及び不揮発性メモリのメモリセルでも本発明は有効である。

【0036】このように本実施例によれば、書き込み時にワード線WLを多重選択することが可能となり、同時に複数ワード線WLに1ページ分のデータを書き込むことができる。このため、メモリセルアレイ内でのページデータのコピーを従来よりも高速に行うことができる。

【0037】(実施例2) 次に、本発明をNANDセル型EEPROMに実施した場合について、具体的に説明する。図3、図4は、本発明の第2の実施例に係わるNANDセル型EEPROMのメモリセルアレイ及び周辺回路の構成を示すブロック図である。

【0038】CG (CGd1~CGd4, CGe1~CGe4, CGf1~CGf4, CGg1~CGg4, CGh1~CGh4, CGi1~CGi4) は制御ゲート、SGS (SGSd, SGS<sub>e</sub>, SGS<sub>f</sub>, SGS<sub>g</sub>, SGS<sub>h</sub>, SGS<sub>i</sub>) はソース側選択ゲート、SGD (SGDd, SGD<sub>e</sub>, SGD<sub>f</sub>, SGD<sub>g</sub>, SGD<sub>h</sub>, SGD<sub>i</sub>) はドレイン側選択ゲート、BL (BLj, BLk, BL<sub>l</sub>) はビット線、DL (DLj, DLk, DL<sub>l</sub>) はデータラッチ回路、DRV (DRVd, DRV<sub>e</sub>, DRV<sub>f</sub>, DRV<sub>g</sub>, DRV<sub>h</sub>, DRV<sub>i</sub>) は制御ゲート及び選択ゲートドライバ回路、BAL (BALd, BAL<sub>e</sub>, BAL<sub>f</sub>, BAL<sub>g</sub>, BAL<sub>h</sub>, BAL<sub>i</sub>) はブロックアドレスラッチ回路、MC (MCd4j, MCd4k, MCd4l, MCf4j, MCf4k, MCf4l, MCg4i, MCg4k, MCg4l) はメモリセル、RAはロウアドレス、CSL (CSLj, CSLk, CSL<sub>e</sub>) はカラム選択線、I/O、/I/Oは入出力線、R/Dはロウ・デコーダである。

【0039】この実施例では、メモリセルMCの4個が直列接続されてNANDセルが構成され、NANDセルの一端はドレイン側選択ゲートSGDを介してビット線

11

BLに接続され、他端はソース側選択ゲートSGSを介して例えば接地端に接続されている。ビット線BLにはデータラッチ回路DLがそれぞれ接続され、制御ゲート線にはNAND列単位で制御ゲート及び選択ゲートドライバ回路DRVが接続されている。そして、制御ゲート及び選択ゲートドライバ回路DRVは、ブロックアドレスラッチ回路BAL及びロウ・デコーダR/Dにより制御されるものとなっている。

【0040】本実施例においても通常の書き込みモードは従来装置と同様であるのでここでは省略し、以下に1ページ分のデータを複数本の制御ゲートに同時コピーする特殊書き込みモードについて説明する。

【0041】図5、図6は制御ゲート線多重選択書き込み時の主要信号波形タイミング図である。CLEはコマンド・ラッチ・イネーブル、ALEはアドレスラッチ・イネーブル、/CEはチップ・イネーブル、/WEはライト・イネーブル、/REはリード・イネーブルであり、それぞれはチップ外部から入力される制御信号である。また、Read/Busyはチップ外部にチップ内の状況を知らせるためのフラグ用信号である。

【0042】チップ外部から、制御ゲート線多重選択書き込みモード用のコマンド信号COM1が入出力ピンI/Oから、チップ内に取り込まれ、次に制御ゲート線多重選択書き込み用ロウアドレスとして、RA<sub>d</sub>、RA<sub>f</sub>、RA<sub>g</sub>の3種のアドレスがチップ内に取り込まれると、その内のブロックアドレスがそれぞれ、ブロックアドレスラッチ回路BAL<sub>d</sub>、BAL<sub>f</sub>、BAL<sub>g</sub>に記憶される。

【0043】例えば、RA<sub>d</sub>が10ビットのアドレスの場合、上位8ビットをブロックアドレスとして、下位2ビットをNAND列用のアドレスとしてもよいし、また外部から入力されるアドレスをブロックアドレスとNAND列用アドレスと分けて、最初か最後にNAND列用アドレスを入力し、NAND列の何番目のメモリセルを選択するかアドレス信号を制御ゲート及び選択ゲートドライバ回路に伝達してもよい。

【0044】制御ゲート線多重選択書き込み用のロウアドレス、RA<sub>d</sub>、RA<sub>f</sub>、RA<sub>g</sub>に従い、ブロックアドレス、NAND列アドレスの選択が決まると、次にデータラッチ回路DLへのデータ書き込みが行われる。図5、図6では例として、1ページの長さを256バイト+8バイト(エラー訂正用)=264バイトとしている。また、コマンド信号、アドレス、データも同じ出力ピンから入力する場合を示しているが、それぞれを別のピンから入力してもよい。例えば、アドレスと出力ピンを分けてもよい。

【0045】次に、書き込み開始用コマンドCOM2がチップ内に取り込まれると、チップ内の昇圧回路が働き、メモリセルMCにデータを書き込むための高電圧が準備される。そして、例えば、ビット線BL<sub>j</sub>、BL<sub>l</sub>

12

に関してデータを書き込み、ビット線BL<sub>k</sub>に関してはデータを書き込まず消去状態を保ちたい場合、BL<sub>j</sub>、BL<sub>l</sub>はロウ(例えば0V)に、BL<sub>k</sub>は中間電圧V<sub>m</sub>(例えば10V)に充電される。ここで、書き込み状態の定義は、メモリセルMCのフローティングゲートに電子が注入され、メモリセルMCのトランジスタのしきい値電圧がエンハンスメントモードになっていることとし、消去状態の定義は、メモリセルのフローティングゲートから電子が抜き取られ、メモリセルMCのトランジスタのしきい値電圧がディプレッションモードになっていることとする。

【0046】次に、ブロックアドレスラッチ回路BALのデータをもとに、d、f、g3種のブロックが選択され、例えばNAND列用アドレスでNAND列の4番目のメモリセルが選択されると、制御ゲートCG<sub>d4</sub>、CG<sub>f4</sub>、CG<sub>g4</sub>の3本が同時に選択され、書き込み用の高電圧V<sub>pp</sub>、例えば20Vが印加される。

【0047】書き込みがある時刻が経過した後に終了すると、制御ゲートCG<sub>d4</sub>、CG<sub>f4</sub>、CG<sub>g4</sub>が再びロウ状態に戻る。また、書き込み時に選択ブロック内の非選択制御ゲートCG<sub>d1</sub>~CG<sub>d3</sub>、CG<sub>f1</sub>~CG<sub>f3</sub>、CG<sub>g1</sub>~CG<sub>g3</sub>、ドレイン側の選択ゲートSGD<sub>d</sub>、SGD<sub>f</sub>、SGD<sub>g</sub>は中間電圧、例えば11Vに充電する。この中間電圧は非選択ビット線の中間電圧と同レベルでもよいが、前述のように非選択ビット線の中間電圧10Vに対して、11Vと少し高くして、ドレイン側選択ゲート及び選択ブロック内の非選択制御ゲートの閾値電圧分だけを高くしてもよい。また、この書き込み時には、選択ブロック内のソース側選択ゲートSGS<sub>d</sub>、SGS<sub>f</sub>、SGS<sub>g</sub>及び、その他の非選択ブロック内の制御ゲート及び選択ゲートはロウ状態、0Vを保つ。

【0048】また、この書き込み時t<sub>PROG</sub>の間、書き込みと確認読み出し(ヴェリファイ読み出し)を交互に行ってもよい。この場合、確認読み出し時にも制御ゲート線は多重選択され、書き込み時に多重選択された制御ゲート線CG<sub>d4</sub>、CG<sub>f4</sub>、CG<sub>g4</sub>がロウ状態(0V)に、選択ブロック内のその他の制御ゲート及びソース側、ドレイン側の選択ゲートがハイ状態(V<sub>cc</sub>)に印加され、選択メモリセルのデータに応じて予め所定電位に予備充電されているビット線が変化し、ビット線にメモリセルのデータが読み出される。

【0049】データラッチ回路DL<sub>j</sub>、DL<sub>k</sub>、DL<sub>l</sub>はビット線センスアンプ回路を兼ねてもよい。また、確認読み出し回路も付加され、書き込み終了したセルに関しては、次のサイクルで再び書き込みが行われないように、データラッチ回路の書き込み用データを自動的に書き直すようにしてもよい。

【0050】書き込みが終了し、コマンド信号COM3がチップ内に取り込まれると、例えば、入出力ピンに書き込みが間違いなく行われたかどうかを伝える。例え

13

ば、 $I/O(1) = 0$ の場合はバスで、 $I/O(1) = 1$ の時はフェイルとする。

【0051】以上までが、各ブロックに1個のブロックアドレスラッチ回路を設けた場合であるが、各制御ゲート線毎に、1個のアドレスラッチ回路を設けてもよい。

【0052】ここで、書込みと書込み確認読出し（ペリファイ読出し）を、以下に具体的に説明する。

【0053】書込み確認読出し動作は、例えば前述のように制御ゲート線CGd4, CGf4, CGg4の3本が同時に選択された場合、一定時間の書込みパルス印加後に行われ、書込まれたメモリセルのしきい値が目標の値に達したか否かを判定する。

【0054】この書込み確認読出しの判定には、各々のビット線に設けられた書込み確認読出し回路が用いられ、再度書込みに必要なメモリセルに接続するビット線のセンスアンプ兼データラッチ回路には、再度書込みが行えるようにデータが格納される。従って、書込み確認読出し回路を用いて、再度書込みが必要なメモリセルに関するセンスアンプ兼データラッチ回路には、それに応じたデータが格納されるという点で、通常の読出し動作とは異なるが、それ以外の動作は通常の読出し動作と全く同じである。

【0055】即ち、制御ゲート線CGd4, CGf4, CGg4に関して、一定時間の書込みパルスを印加後に制御ゲート線CGd4, CGf4, CGg4は一時的に非選択状態になり、次にビット線が予備充電される。次に、再び制御ゲート線CGd4, CGf4, CGg4が選択される。しかし、このとき選択された制御ゲート線に印加される電圧は書込み時と読出し時とは異なる。そして、例えば書込み確認読出し動作の前に書込み動作で、ビット線BLj, BLiに関してデータを書込み、ビット線BLkに関してはデータを書込まず消去状態を保ちたい場合、BLj, BLiはロウ（例えば0V）に、BLkは中間電圧Vm（例えば10V）に充電される。

【0056】ここで、書込み状態の定義は、メモリセルMCのフローティングゲートに電子が注入され、メモリセルMCのトランジスタのしきい値電圧がエンハンスメントモードになっていることとし、消去状態の定義は、メモリセルのフローティングゲートから電子が抜き取られ、メモリセルMCのトランジスタのしきい値電圧がディプレッションモードになっていることとする。従ってこの場合、図3のメモリアレイで、例えばメモリセルMCd4j, MCf4j, MCG4j, MCd4i, MCf4i, MCG4iは消去状態を保つ。

【0057】即ち、ビット線BLjには、メモリセルMCd4j, MCf4j, MCG4jが、ビット線BLiには、MCd4i, MCf4i, MCG4iがそれぞれ読出され、センスアンプ兼データラッチ回路及びそれに接続された書込み確認読出し回路により、判定後再度書込みが必要なビットに関しては、そのデータがセンスアンプ兼データ

14

ラッチ回路DLj, DLiに格納される。従って、書込みが行われるメモリセルMCd4j, MCf4j, MCG4jの全てが書込まれるまで、また書込みが行われるメモリセルMCd4i, MCf4i, MCG4iの全てが書込まれるまで、ビット線BLj, BLiは書込み確認読出し時に予備充電レベルから放電され、再度書込みが必要な判定となる。

【0058】そして、選択されたメモリセルのうち、例えばMCd4j, MCf4j, MCG4jの全ての書込みが終了するまでビット線BLjに関する書込みが終了しないし、MCd4i, MCf4i, MCG4i全ての書込みが終了するまで、ビット線BLiに関する書込みが終了しない。

【0059】以下に、書込み確認読出し動作についてより具体的に説明する。

【0060】図7はデータラッチ回路DLの具体的な回路構成図、図8は主要ノードの動作タイミング図である。図7に示すように、データラッチ回路DLは、ビット線センスアンプ回路、書込み確認読出し回路、一括検知回路、プリチャージ回路を含んでおり、これらの回路は、本発明と直接関係するものではなく、従来装置と同様である。

【0061】書込み確認読出し動作が始まると、図8に示すように、ビット線リセット信号PRSTDがVssからVccになり、ビット線はVssにリセットされる。例えば、書込み動作時に書込みが行われているビット線BLj, BLiはVss（0V）を保ち、消去状態を保とうとするビット線BLkは書込み禁止用の電位VmからVssにリセットされる。続いて、ビット線プリチャージ信号PREBがVccからVssになり、ビット線例えば、BLj, BLk, BLiは、読出し用の予備充電電位VRまで充電される。

【0062】その後、選択された制御ゲート線CGd4, CGf4, CGg4はVssを保ち、同一NAND型セルブロックのその他の制御ゲート線CGd1~CGd3, CGf1~CGf3, CGg1~CGg3、及びビット線コンタクト側とメモリセルソース線側の選択ゲート線SGDd, SGDf, SGDg, SGSd, SGSf, SGSgがVssからVccになる。この場合、これらのレベルはVccより昇圧してもよい。これにより、書込みを行わないメモリセルのビット線、及び書込みが不十分なメモリセルのビット線は放電されVRからVssになる。例えば、メモリセルMCd4j, MCf4j, MCG4jに関して、書込みが十分に行われた場合、ビット線BLjは放電されず予備充電電位VRを保つ。

【0063】一方、メモリセルMCd4i, MCf4i, MCG4iのうちで、MCd4iの書込みが不十分であった場合、ビット線BLiは放電され、VRからVssになる。さらに、書込みを行わないメモリセルのビット線BLkも放電され、VRからVssになる。

FH 008921



15

【0064】次いで、制御ゲート線CGd1~CGd3, CGf1~CGf3, CGg1~CGg3、選択ゲート線SGDd, SGDf, SGDg, SGSd, SGSf, SGSgがVssに戻された後、比較制御信号CONがVssからVccになり、センスアンプ兼データラッチ回路の書き込みデータと書き込み確認読出し後のビット線電位とを比較する。即ち、書き込みを行うメモリセルに関しては、書き込みデータノードVRY(図7)がVssであるから、もしBLIのようにビット線が放電されてVssになっていれば、それはメモリセルMCd4i, MCf4i, MCg4iのうち、少なくとも1つのメモリセルの書き込みが不十分であり、しきい値電圧が所望の電圧以上に正方向にシフトしなかったことであるから、次の書き込みサイクルでもビット線がVssに保たれる。そして、書き込みが十分に行われたメモリセルMCd4j, MCf4j, MCg4jのビット線は放電されない。

【0065】従って、次の書き込みサイクルでは、このビット線BLjに関しては、書き込みが行われない。また、最初から書き込みを行わないメモリセルMCd4k, MCf4k, MCg4kのビット線BLkに関しては、書き込みデータノードVRYがVccであるから、ビット線BLkは再び充電される。このとき、前書き込みのサイクルで、十分に書き込みが行われたメモリセルのビット線及び最初から書き込みを行わないビット線BLj, BLkはVcc-Vthまで充電される。Vthはトランジスタ1個(図7)のしきい値電圧である。

【0066】次いで、書き込み制御信号BLCDがVssからVccになり、ビット線の情報をセンスアンプ兼データラッチ回路に伝え、即ち次の書き込みサイクルで書き込みを行うメモリセルMCd4l, MCf4l, MCg4lのビット線BLlに関してのみ、書き込みデータノードVRYがVssになる。そして、全ての書き込みが終了したかの検知は、一括検知回路で判定される。即ち、一括検知リセット信号RSTINがVssになり、書き込み用の一括検知制御信号APCONがVssからVccになると、一括検知読出し信号SENSElに書き込みの状況が伝達される。即ち、もしSENSEがVccからVssに放電された場合、書き込みノードVRYが少なくとも1つVssになっていることであり、書き込み動作が続行される。そして、全ての書き込みノードVRYがVccとなり、一括検知読出し信号SENSEが放電されなくなったときに書き込み動作が終了する。

【0067】本実施例では、例えばメモリセルMCd4lが書き込み不十分であったため、再びビット線BLlに関して書き込み動作が行われ、その後の書き込み確認読出し動作で、ビット線BLlに関しても書き込みが終了したという判定がなされる。即ち、一括検知読出し信号SENSEがVssに放電されなくなった時点で書き込みを終了している。

【0068】図9は、ロウ・デコーダR/D、ブロック

16

アドレスラッチ回路BAL、制御ゲート及び選択ゲートドライバ回路DRV、メモリセルアレイMCの具体的な回路構成図である。SGDはドレイン側の選択ゲート信号、CG1~CG4は制御ゲート信号、SGSはソース側の選択ゲート信号、Vussは選択ゲート印加電圧、VppRWは書き込み時印加高電圧、ERASECB、ERASECは消去用制御信号、BLALEP、BLALENはブロックアドレスラッチ回路のリセット信号、PBUSBSIはブロックアドレス読み出し用の信号、RAはブロックアドレスである。

【0069】図10は、データラッチ回路DLの別の回路構成図である。データラッチ回路DLはビット線センスアンプ回路を兼ねており、また書き込み確認読出し回路も付加している。また、図3、4の実施例では、ビット線はデータラッチ回路DLに対して一方の場合を示しているが、図10に示すように、複数のビット線BLai, BLbiを有し、双方向に配設した場合でも本発明は有効である。

【0070】このように本実施例によれば、書き込み時に制御ゲート線CGを多重選択することが可能となり、同時に複数ブロックの制御ゲート線CGに1ページ分のデータを書き込むことができる。このため、メモリセルアレイ内でのページデータのコピーを従来よりも高速に行うことができる。

【0071】また、本発明では、あるNAND列に書き込みを行う際に、セルソースに近い側の制御ゲート線から順次選択するという制限はなく、任意(ランダム)に制御ゲート線を選択でき、それによって駆動されるメモリセルにデータを書き込むことができる。例えば、NANDブロックgにデータを書き込む場合、制御ゲート線CGg1, CGg2, CGg3, CGg4の順に選択し、メモリセルにデータを書き込んでよいし、CGg4, CGg3, CGg2, CGg1の順に選択しても、或いはCGg4, CGg2, CGg1, CGg3の順に選択しても、いずれの場合も本発明は有効である。

【0072】また、本発明に関して、書き込み時に、消去状態を保つために、チャネル部をフローティングにして、制御ゲートとのカップリングによって、書き込みを行わないメモリセルのチャネル部をフローティング・ハイにした場合でも本発明は有効であった。

【0073】なお、本発明は上述した各実施例に限定されるものではない。実施例では、不揮発性のメモリセルとしてNANDセルを例にとり説明したが、この代わりにANDセルやDINORセルを用いることもできる。さらに、必ずしも不揮発性メモリに限らず、DRAMにも適用することが可能である。また、図7、図9、図10に示した周辺回路は、これに限らず適宜変更可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0074】

【発明の効果】以上説明したように本発明によれば、ワ

17

ード線若しくは制御ゲート線又はブロックを選択するためのアドレスを一時記憶するアドレスデータラッチ回路又はブロックアドレスデータラッチ回路を設け、データラッチ回路に記憶されている1頁分のデータをメモリセルに書き込む際に、複数本のワード線又は制御ゲート線を同時に多重選択しているため、それらに関するメモリセルに同一データをコピーすることができる。従って、メモリセルアレイ内でのページデータのコピーを従来よりも高速に行うことができ、データ管理のしやすい半導体記憶装置を実現することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係わる半導体記憶装置のメモリセルアレイ及び周辺回路を示すブロック図。

【図2】ワード線多重選択書き込み時の主要信号波形を示すタイミング図。

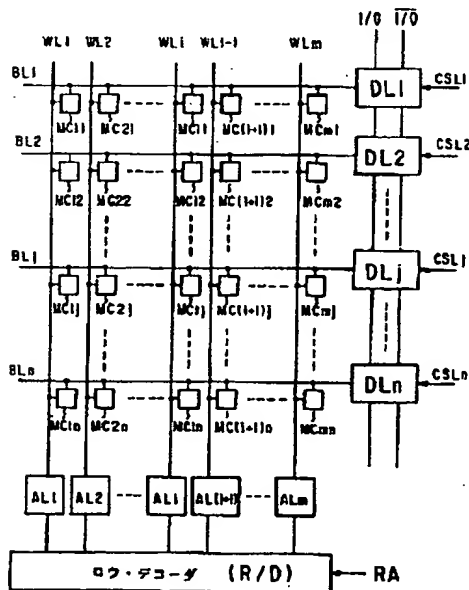
【図3】第2の実施例に係わるNANDセル型EEPROMのメモリセルアレイ及び周辺回路を示すブロック図。

【図4】第2の実施例に係わるNANDセル型EEPROMのメモリセルアレイ及び周辺回路を示すブロック図。

【図5】制御ゲート線多重選択書き込み時の主要信号波形を示すタイミング図。

【図6】制御ゲート線多重選択書き込み時の主要信号波形を示すタイミング図。

【図1】



18

【図7】データラッチ回路の具体的な回路構成図。

【図8】主要ノードの動作タイミング図。

【図9】ロウ・デコーダ、ブロックアドレスラッチ回路、制御ゲート及び選択ゲートドライバ回路、メモリセルアレイの具体的な回路構成図。

【図10】データラッチ回路の別の回路構成図。

【図11】ANDセル型EEPROMのメモリセルアレイを示すブロック図。

【図12】DINORセル型EEPROMのメモリセルアレイを示すブロック図。

【符号の説明】

BL…ビット線

WL…ワード線

MC…メモリセル

DL…データラッチ回路

AL…アドレスラッチ及びワード線ドライバ回路

R/D…ロウ・デコーダ

RA…ロウアドレス

CSL…カラム選択線

I/O, /I/O…出力線

CG…制御ゲート

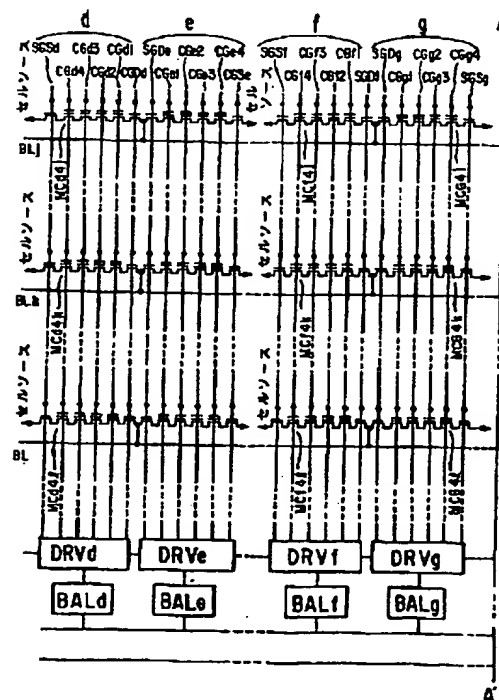
SGS…ソース側選択ゲート

SGD…ドレイン側選択ゲート

DRV…制御ゲート及び選択ゲートドライバ回路

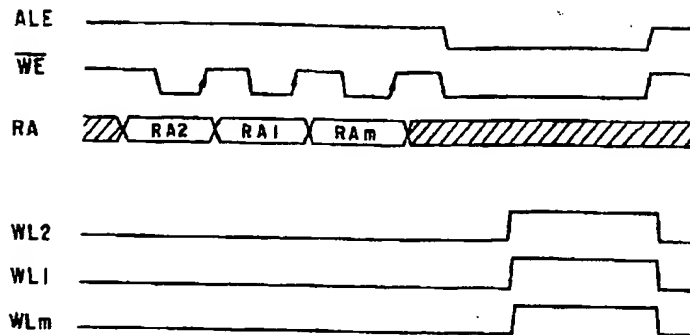
BAL…ブロックアドレスラッチ回路

【図3】

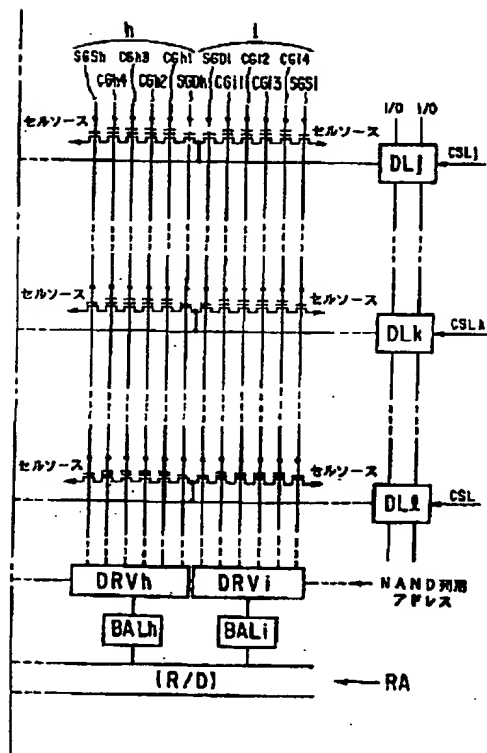


FH 008923

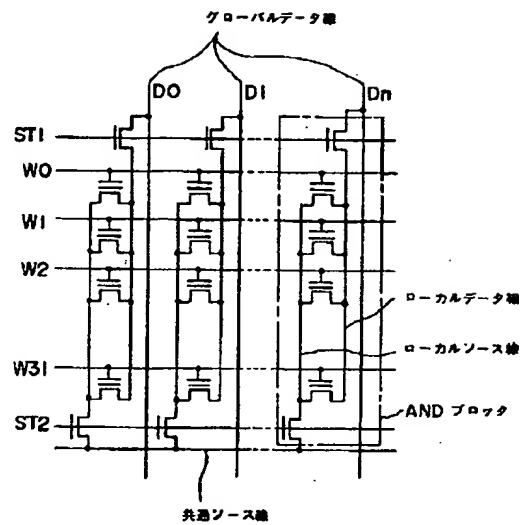
【図2】



【図4】

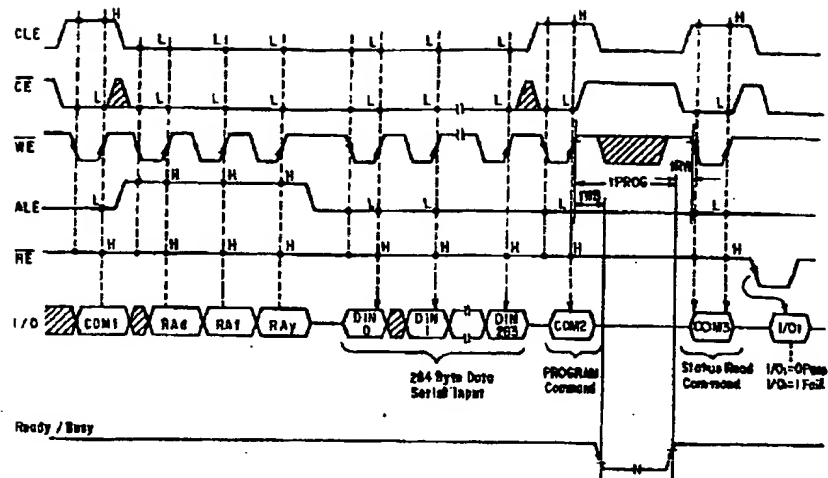


【図11】

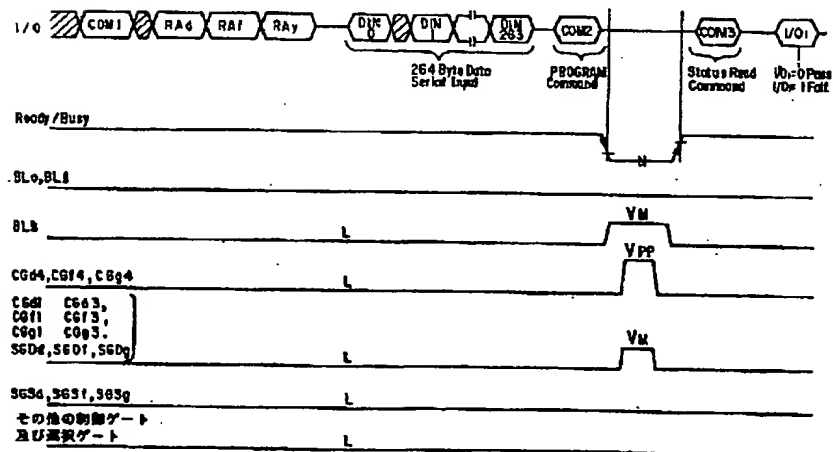


FH 008924

【図5】

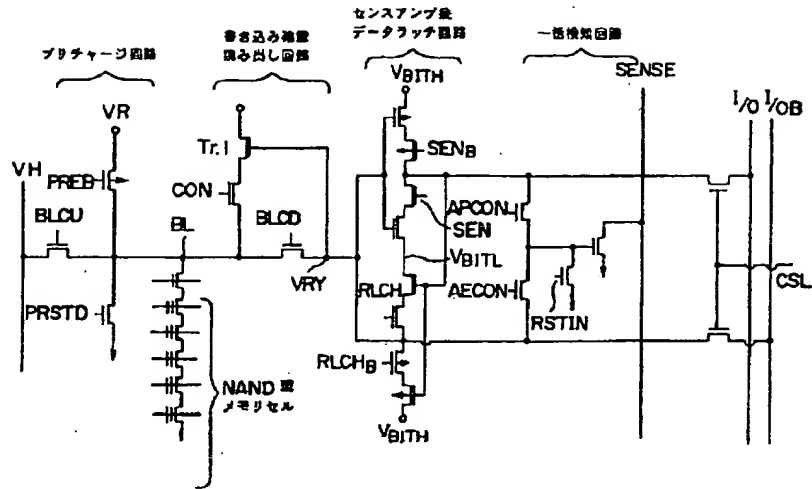


【図6】



FH 008925

センプアップ後  
一ヶ月後、多量に



~~909~~

データラッチ回路/ビットセンスアンプ回路

φNW

φNE

VVRA

VVRB

φDTCA

φDTCS

φE

V1L

IOA

CSL

IOB

メモリセル

メモリセル

VA

PRA

BLai

VRFYA

SA

FAI

FDBI

FDBI

VB

PRB

BLbi

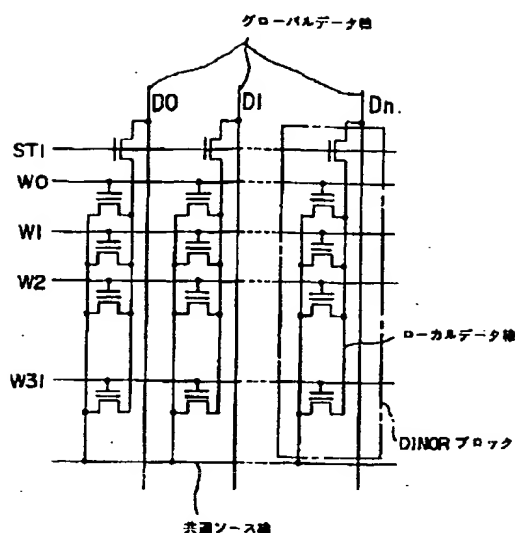
VRFYB

SB

FBI

イコライズ回路

【図12】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78

(72) 発明者 百富 正樹  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝多摩川工場内

(72) 発明者 舩岡 富士雄  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝研究開発センター内

(72) 発明者 大内 和則  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝研究開発センター内

(72) 発明者 遠藤 哲郎  
 神奈川県川崎市幸区小向東芝町1番地 株  
 式会社東芝研究開発センター内

FH 008928